



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 4月 4日

出願番号
Application Number:

特願2000-101895

出願人
Applicant(s):

株式会社トーキン

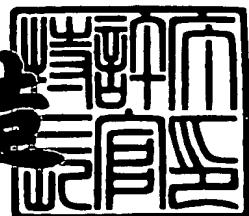
RECEIVED
SEP - 7 2001

TC 2000 MAIL ROOM

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3020306

【書類名】 特許願
 【整理番号】 T-8981
 【提出日】 平成12年 4月 4日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01F 10/14
 H01F 10/16

【発明者】

【住所又は居所】 宮城県仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 ▲吉▼田 栄▲吉▼

【発明者】

【住所又は居所】 宮城県仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 小野 裕司

【発明者】

【住所又は居所】 宮城県仙台市太白区郡山六丁目7番1号 株式会社トーキン内

【氏名】 粟倉 由夫

【特許出願人】

【識別番号】 000134257

【氏名又は名称】 株式会社トーキン

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【選任した代理人】

【識別番号】 100101959

【弁理士】

【氏名又は名称】 山本 格介

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ベアチップおよび半導体ウエーハ

【特許請求の範囲】

【請求項1】 表面上に集積回路が形成された半導体ベアチップに於いて、前記半導体ベアチップの裏面に磁気損失膜を設けたことを特徴とする半導体ベアチップ。

【請求項2】 前記磁気損失膜がグラニュラー磁性薄膜である、請求項1に記載の半導体ベアチップ。

【請求項3】 前記グラニュラー磁性薄膜がスパッタ法により形成されたスパッタ膜である、請求項2に記載の半導体ベアチップ。

【請求項4】 前記グラニュラー磁性薄膜が蒸着法により形成された蒸着膜である、請求項2に記載の半導体ベアチップ。

【請求項5】 表面上に集積回路が形成された半導体ウエーハに於いて、前記半導体ウエーハの裏面に磁気損失膜を設けたことを特徴とする半導体ウエーハ。

【請求項6】 前記磁気損失膜がグラニュラー磁性薄膜である、請求項5に記載の半導体ウエーハ。

【請求項7】 前記グラニュラー磁性薄膜がスパッタ法により形成されたスパッタ膜である、請求項6に記載の半導体ウエーハ。

【請求項8】 前記グラニュラー磁性薄膜が蒸着法により形成された蒸着膜である、請求項6に記載の半導体ウエーハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表面上に集積回路が形成された半導体ベアチップおよび半導体ウエーハに関する。

【0002】

【従来の技術】

近年、高速動作する高集積な半導体素子の普及が著しい。その例として、ラン

ダムアクセスメモリ（RAM），リードオンリーメモリ（ROM），マイクロプロセッサ（MPU），中央演算処理装置（CPU）又は画像プロセッサ算術論理演算装置（IPALU）等の論理回路素子がある。これらの能動素子においては，演算速度や信号処理速度が日進月歩の勢いで高速化されており、高速電子回路を伝播する電気信号は、電圧，電流の急激な変化を伴うために、誘導性の高周波ノイズの主要因となっている。

【0003】

一方、電子部品や電子機器の軽量化，薄型化，小型化の流れも止まる事を知らぬが如く急速な勢いで進行している。それに伴い、半導体素子の集積度や、プリント配線基板への電子部品実装密度の高密度化が著しい。従って、過密に集積あるいは実装された電子素子や信号線が、互いに極めて接近することになり、前述した信号処理速度の高速化と併わせて、高周波輻射ノイズが誘発され易い状況となっている。

【0004】

ところで、周知のように、表面上に集積回路が形成された半導体ベアチップは、半導体ウエーハを切り出すことによって得られる。

【0005】

図8に従来の半導体ウエーハを示す。図2において、(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、(c)は(b)のA-A'線で切った断面図である。

【0006】

図8に示すように、半導体ベアチップは、例えば、周知のウエーハ製造技術を使用することによって作られる。半導体ウエーハ10'は、各々の表面上に集積回路（図示せず）が形成された複数のチップ部分10a'を有し、その各々はその上に形成されたチップ電極（電極パッド）11を持つ。図示のチップ電極11は各チップ部分10a'の外周縁部に沿って形成されているけれども、チップ電極は活性領域に形成されても良い。チップ電極11を形成する金属としては一般にアルミニウム系合金が使用される。半導体ウエーハ10'はそれからパッシベーション膜12を備える。詳述すると、半導体ウエーハ10'の全表面はパッシ

ベースション膜12で覆われる。パッシベーション膜12は、スピンドルコーティングのような良く知られた技術を使用することによって、例えば、ポリイミド、窒化ケイ素膜、酸化ケイ素膜で作られる。パッシベーション膜12の厚さは20μm以下である。パッシベーション膜11を形成した後、チップ電極11は、半導体ウエーハ10'を露光し、それをエッチングすることによって大気中に露出される。その結果、パッシベーション膜12は、チップ電極11が形成された位置を除いて半導体ウエーハ10'の全表面を覆う。チップ部分10a'はそれからスクライブライン13に沿って個々の半導体ペアチップに互いに分離される。この分離は、ダイシングソーを使用する周知のダイシング技術によってなされる。このチップ部分10a'が半導体ペアチップ17'である。

【0007】

【発明が解決しようとする課題】

このような半導体ペアチップにおいては、電源供給ラインからの不要輻射の問題が指摘され、電源ラインにデカップリングコンデンサ等の集中定数部品を挿入する等の対策がなされている。

【0008】

しかしながら、高速化された集積回路が表面上に形成された半導体ペアチップにおいては、発生するノイズが高調波成分を含むために、信号の経路が分布定数的な振る舞いをするようになり、従来の集中定数回路を前提にしたノイズ対策が効を発しない状況が生じていた。

【0009】

したがって、本発明の目的は、このような高速動作する集積回路が表面上に形成された半導体ペアチップおよび半導体ウエーハに於いて、集積回路から発生した不要輻射を有效地に削減することが可能な半導体ペアチップおよび半導体ウエーハを提供することにある。

【0010】

【課題を解決するための手段】

本発明者らは、以前に高周波での磁気損失の大きな複合磁性体を発明し、これを不要輻射源の近傍に配置する事で、上記した半導体素子や電子回路などから発

生する不要輻射を効果的に抑制する方法を見出している。この様な磁気損失を利用した不要輻射減衰の作用機構については、最近の研究から、不要輻射源となっている電子回路に対して等価的な抵抗成分が付与されることによることが分かっている。ここで、等価的な抵抗成分の大きさは、磁性体の磁気損失項 μ'' の大きさに依存している。より詳しくは、電子回路に等価的に挿入される抵抗成分の大きさは、磁性体の面積が一定の場合には μ'' と磁性体の厚さに略比例する。したがって、より小さなあるいはより薄い磁性体で所望の不要輻射減衰を得るために、より大きな μ'' が必要になってくる。例えば、半導体素子のモールド内部のような微小領域において磁気損失体を用いた不要輻射対策を行う為には、磁気損失項 μ'' がきわめて大きな値である必要があり、従来の磁気損失材料に比べて格段に大きな μ'' を有する磁性体が求められていた。本発明は、かかる現状に鑑みてなされたものである。

【0011】

また、本発明者らは、スパッタ法あるいは蒸着法による軟磁性体の研究過程において、微小な磁性金属粒子が、セラミックスのような非磁性体中に均質に分散されたグラニュラー磁性体の優れた透磁率特性に着目し、磁性金属粒子とそれを囲う非磁性体の微細構造を研究した結果、グラニュラー磁性体中に占める磁性金属粒子の濃度が特定の範囲にある場合に、高周波領域において優れた磁気損失特性が得られる事を見出した。M-X-Y (Mは磁性金属元素、YはOあるいはN, Fのいずれか、XはM、Y以外の元素) なる組成を有するグラニュラー磁性体については、これまでに多くの研究がなされ、低損失で大きな飽和磁化を有する事が知られている。このM-X-Yグラニュラー磁性体において、飽和磁化の大きさは、M成分の占める体積率に依存するので、大きな飽和磁化を得るためには、M成分の比率を高くする必要がある。そのため、高周波インダクタ素子あるいはトランス等の磁心として用いるような一般的な用途にはM-X-Yグラニュラー磁性体中のM成分の割合は、M成分のみからなるバルク金属磁性体の飽和磁化のおおむね80%以上の飽和磁化が得られる範囲に限られていた。

【0012】

本発明者らは、M-X-Y (Mは磁性金属元素、YはOあるいはN, Fのいづれか)

れか、XはM、Y以外の元素)なる組成を有するグラニュラー磁性体において、M成分の占める割合を広い範囲で検討した結果、いずれの組成系でも磁性金属Mが特定濃度の範囲にある場合に、高周波領域で大きな磁気損失を示すことを見出し、本発明に至った。

【0013】

M成分の比率が、M成分のみからなるバルク金属磁性体の飽和磁化に対して80%以上の飽和磁化を示すような最も高い領域は、従来より盛んに研究されている高飽和磁化で低損失なM-X-Yグラニュラー磁性体の領域である。この領域にある材料は、実数部透磁率(μ')と飽和磁化の値が共に大きいため、前述した高周波インダクタのような高周波マイクロ磁気デバイスに用いられるが、電気抵抗を左右するX-Y成分の占める割合が少ないので、電気抵抗率が小さい。その為に膜厚が厚くなると高周波領域でのうず電流損失の発生に伴って高周波での透磁率が劣化するので、ノイズ対策に用いるような比較的厚い磁性膜には不向きである。M成分の比率が、M成分のみからなるバルク金属磁性体の飽和磁化の80%以下で60%以上となる飽和磁化を示す領域は、電気抵抗率がおおむね $100\ \mu\Omega\cdot cm$ 以上と比較的大きい為に、材料の厚さが数 μm 程度あってもうず電流による損失が少なく、磁気損失はほとんど自然共鳴による損失となる。その為、磁気損失項 μ'' の周波数分散巾が狭くなるので、挿帯域な周波数範囲でのノイズ対策(高周波電流抑制)に適している。M成分の比率が、M成分のみからなるバルク金属磁性体の飽和磁化の60%以下で35%以上の飽和磁化を示す領域は、電気抵抗率がおおむね $500\ \mu\Omega\cdot cm$ 以上と更に大きいために、うず電流による損失は極めて小さく、M成分間の磁気的な相互作用が小さくなることで、スピニの熱擾乱が大きくなり自然共鳴の生じる周波数に揺らぎが生じ、その結果、磁気損失項 μ'' は広い範囲で大きな値を示すようになる。したがって、この組成領域は広帯域な高周波電流の抑制に適している。

【0014】

一方、M成分の比率が本発明の領域よりも更に小さな領域は、M成分間の磁気的相互作用がほとんど生じなくなるので超常磁性となる。

【0015】

電子回路の直近に磁気損失材料を配設して高周波電流を抑制する際の材料設計の目安は、磁気損失項 μ'' と磁気損失材料の厚さ δ の積 $\mu'' \cdot \delta$ で与えられ、数 100 MHz の周波数の高周波電流に対して効果的な抑制を得るには、おおむね $\mu'' \cdot \delta \geq 1000$ (μm) が必要となる。したがって、 $\mu'' = 1000$ の磁気損失材料では $1 \mu m$ 以上の厚さが必要になり、うす電流損失の生じ易い低電気抵抗な材料は好ましくなく、電気抵抗率が $100 \mu \Omega cm$ 以上となるような組成、すなわち本発明の組成系では、M成分の比率が、M成分のみからなるバルク金属磁性体の飽和磁化の 80% 以下となる飽和磁化を示し、かつ、超常磁性の発現しない領域即ち、M成分のみからなるバルク金属磁性体の飽和磁化に対して 35% 以上の飽和磁化を示す領域が適している。

【0016】

本発明は、上述したグラニュラー磁性薄膜のような磁気損失膜を応用した発明である。ここで、「グラニュラー磁性薄膜」とは、数十MHz～数GHz の高周波において非常に大きな磁気的損失を示し、その微細構造が直径数 nm から数十 nm 程度の微細な粒径を呈している磁性薄膜のことをいい、この技術分野では「微結晶薄膜」とも呼ばれている。

【0017】

すなわち、本発明によれば、表面上に集積回路が形成された半導体ペアチップに於いて、半導体ペアチップの裏面に磁気損失膜を設けたことを特徴とする半導体ペアチップが得られる。

【0018】

また、本発明によれば、表面上に集積回路が形成された半導体ウエーハに於いて、半導体ウエーハの裏面に磁気損失膜を設けたことを特徴とする半導体ウエーハが得られる。

【0019】

上記半導体ペアチップ又は半導体ウエーハにおいて、磁気損失膜としては、グラニュラー磁性薄膜を使用することができる。グラニュラー磁性薄膜は、例えば、スパッタ法により形成されたスパッタ膜であっても良いし、蒸着法により形成された蒸着膜であっても良い。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0021】

図1を参照して、本発明の一実施の形態に係る半導体ウエーハについて説明する。図1において、(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、(c)は(b)のB-B'線で切った断面図である。

【0022】

図示の半導体ウエーハ10は、その裏面が磁気損失膜15で覆われている点を除いて、図8に示した半導体ウエーハ10' と同様の構成を有する。図8に示したものと同様の機能を有するものには同一の参照符号を付し、説明の重複を避けるためにそれらの説明は省略する。

【0023】

チップ部分10aはスクライブライン13に沿って個々の半導体ペアチップに互いに分離される。この分離は、ダイシングソーを使用する周知のダイシング技術によってなされる。このチップ部分10aが半導体ペアチップ17である。

【0024】

ここで、磁気損失膜15としては、本発明者らが既に出願済み（平成12年1月24日出願の2000年特願第52507号）のグラニュラー磁性薄膜（以下、「先願」と呼ぶ。）を使用することができる。そのようなグラニュラー磁性薄膜は、先願の明細書中に記載されているように、スパッタ法や反応性スパッタ法或いは蒸着法を用いて製造することができる。換言すれば、グラニュラー磁性薄膜は、スパッタ法や反応性スパッタ法により形成されたスパッタ膜であっても良いし、或いは、蒸着法により形成された蒸着膜であっても良い。尚、グラニュラーマ磁性薄膜を製造する場合、実際には、上記スパッタ膜や上記蒸着膜を所定温度にて所定時間、真空磁場中で熱処理を施している。

【0025】

尚、グラニュラー磁性薄膜の詳細な製造方法については、上記先願に詳しく説明してあるので、それを参照されたい。

【0026】

このようにして形成されるグラニュラー磁性薄膜は、膜厚が薄く（例えば、2.0 μm以下）ても、数十MHz～数GHzの高周波において非常に大きな磁気的損失を示すことを、本発明者らは実験で既に確認している。

【0027】

そして、本発明者らは、準マイクロ波帯にμ”分散を示す本発明に係るグラニュラー磁性薄膜は、厚さが約500倍の複合磁性体シートと同等の高周波電流抑制効果を示すことを実験で既に確認している。従って、本発明に係るグラニュラー磁性薄膜は、1GHzに近い高速クロックで動作するような半導体集積素子等のEMI対策に用いる材料として有望であるといえる。

【0028】

次に、図2を参照して、磁気損失膜15としてのグラニュラー磁性薄膜を製造する装置の一例としてスパッタリング製造装置について説明する。このスパッタリング製造装置は、真空容器（チャンバ）18と、このチャンバ18に結合されたガス供給装置22及び真空ポンプ23とを備える。チャンバ18内では、シャッタ21を挟んで基板23とターゲット25とが対向して配置されている。ターゲット25は、組成X、Y、或いは組成Xから成るチップ24を所定の間隔で配置された組成Mから成る。チップ24及びターゲット25の支持部側には、RF電源26の一端が接続され、RF電源26の他端は接地されている。

【0029】

次に、このような構成のスパッタリング製造装置を用いて製造されるグラニュラー磁性薄膜（試料1）の製造例について説明する。

【0030】

先ず、ターゲット25となる直径φ=100mmのFe製円板上にチップ24となる寸法=縦5mm×横5mm×厚さ2mmの総計120個のAl₂O₃チップを配備した。そして、真空ポンプ27で真空容器18内を真空度約1.33×10⁻⁴Paとなるように保った状態で、ガス供給装置22により真空容器18内へArガスを供給することにより、真空容器18内をArガス雰囲気にする。この状態において、RF電源26より高周波の電源を供給する。このような条件下に

において、スパッタ法により基板23となるガラス基板上に磁性薄膜を成膜した。その後、更に得られた磁性薄膜を300°Cの温度条件の真空磁場中で2時間熱処理を施すことによって、上述したグラニュラー磁性薄膜による試料1を得た。

【0031】

このようにして得られた試料1を蛍光X線分析したところ膜の組成は、 $\text{Fe}_{72}\text{Al}_{11}\text{O}_{17}$ の組成を有し、膜厚は2.0 μm、直流抵抗率は530 μΩ・cmであった。また、試料1の異方性磁界 H_k は18 (Oe) であり、飽和磁化 M_s は1.68 T (テスラ) であった。さらに、試料1の複素透磁率特性上で磁気損失項 μ'' にあっても最大値 μ''_{max} に対して50%以上となる周波数帯域をその中心周波数で規格化した半幅分相当の半値巾 μ''_{50} は14.8%であった。また、試料1の飽和磁化 M_s ($M-X-Y$) と組成分Mのみから成る金属磁性体の飽和磁化 M_s (M) との比率 $\{M_s(M-X-Y)/M_s(M)\} \times 100\%$ は72.2%であった。

【0032】

又、試料1の磁気損失特性を検証するために、周波数fに対する透磁率μ特性 ($\mu-f$ 特性) を次のようにして調べた。すなわち、 $\mu-f$ 特性の測定は、短冊状に加工した検出コイルに試料1を挿入して、バイアス磁場を印加しながらインピーダンスを測定することにより行った。この結果に基づいて、磁気損失項 μ'' の周波数特性 ($\mu''-f$ 特性) を得た。

【0033】

図3はこの試料1の $\mu''-f$ 特性を示す図である。図3において、横軸は周波数f (MHz) を、縦軸は磁気損失項 μ'' をそれぞれ表している。図3から、試料1の磁気損失項 μ'' は、その分散がやや急峻でピーク値が非常に大きくなっていること、共鳴周波数も700 MHz付近と高くなっていることが判る。

【0034】

更に、図4に示すような高周波電磁干渉抑制効果測定装置30を用いて試料1における高周波電磁干渉抑制効果を検証実験した。但し、高周波電磁干渉抑制効果測定装置30は、線路長が75 mmで特性インピーダンス $Z_c = 50 \Omega$ のマイクロストリップ線路31の長手方向の両側にマイクロストリップ線路31と図示

しないネットワークアナライザ（HP 8753D）とを接続するための同軸線路32を配備した上で、マイクロストリップ線路31の試料配置部31aの真上に磁性体試料33を配置することにより、2ポート間の伝送特性 S_{21} を測定可能なものである。

【0035】

この高周波電磁干渉抑制効果測定装置30の構成のように、伝送路の真近に磁気損失材料を配置した伝送路に等価的な抵抗成分を付与することで高周波電流を抑制する場合において、高周波電流の抑制効果の大きさは磁気損失項 μ'' の大きさと磁性体の厚さ δ との積 $\mu'' \cdot \delta$ にほぼ比例すると考えられる。

【0036】

図5は、高周波電流抑制効果測定装置30により試料磁性体の高周波電流抑制効果を測定した結果を示す周波数 f （MHz）に対する伝送特性 S_{21} （dB）を示したものである。

【0037】

図5から、試料1の伝送特性 S_{21} は、100MHz以上から減少し、2GHz近くで-10dBの極小値を示した後に増加していることが判る。この結果により、伝送特性 S_{21} が磁性体の磁気損失項 μ'' の分散に依存すると共に、抑制効果の大きさが上述した積 $\mu'' \cdot \delta$ に依存することが判る。

【0038】

ところで、このような試料1のような磁性体は、図6に示されるように、寸法が1であって、透磁率 μ 、誘電率 ϵ の分布定数線路として構成されるものとみなすことができる。この場合、単位長さ（Δ1）当たりの等価回路定数として、直列接続された形態の単位インダクタンス ΔL 、単位抵抗 ΔR 、並びにこれらと接地線との間に介在される単位静電容量 ΔC 、単位接地コンダクタンス ΔG を有する。これらを伝送特性 S_{21} に基づいて試料寸法に換算した場合、試料1は、等価回路定数としてインダクタンス L 、抵抗 R 、並びに静電容量 C 、接地コンダクタンス G を有する等価回路とみなすことができる。

【0039】

ここで高周波電磁干渉の抑制効果での検討のように、磁性体のマイクロスト

リップ線路31上に配置した場合、伝送特性 S_{21} の変化は等価回路において主にインダクタンス L に対して直列に付加される抵抗 R の成分によるものであることから、抵抗 R の値を求めてその周波数依存性を調べることができる。

【0040】

図7は、図5に示した伝送特性 S_{21} において、図6に示した等価回路のインダクタンス L に対して直列に付加される抵抗 R の値に基づいて算出した、周波数 f (MHz)に対する抵抗値 R (Ω)の特性を示したものである。

【0041】

図7から、抵抗値 R は準マイクロ波帯の領域で単調に増加し、3GHzでは數10Ωとなり、その周波数依存特性は1GHz付近に極大を持った磁気損失項 μ'' の周波数分散とは異なる傾向になっていることが判る。これは上述した積 $\mu'' \cdot \delta$ に加えて波長に対する試料寸法の比率が単調増加することを反映している結果と考えられる。

【0042】

以上の結果から、準マイクロ波帯に磁気損失項 μ'' 分散を示す試料は、厚さが約500倍の複合磁性体シートと同等の高周波電流抑制効果を示すため、1GHzにおける高周波電磁干渉抑制対策へ適用することが有効であるといえる。

【0043】

尚、本発明は上述した実施の形態に限定せず、本発明の要旨を逸脱しない範囲内で、種々の変更・変形が可能なのは勿論である。例えば、本発明の実施の形態では、グラニュラー磁性薄膜の製造方法としてスパッタ法による製造例のみを示したが、真空蒸着法やイオンビーム蒸着法、ガス・デポジション法などの他の製造方法でも良く、本発明に係る磁気損失膜が均一に実現できる方法であれば、製法に限定されない。

【0044】

また、本発明の実施の形態では、成膜後に真空磁場中の熱処理を施しているが、アズ・デポジションの膜で、本発明の性能が得られる組成あるいは成膜法であれば、実施の形態に記載の成膜後処理に限定されない。

【0045】

さらに、上述した実施の形態では、半導体ベアチップ17（半導体ウエーハ10）の裏面を磁気損失膜15で直接覆った場合の例についてのみ説明しているが、例えば、磁気損失膜が表面に形成されている粘着テープを、半導体ベアチップ17（半導体ウエーハ10）の裏面に貼り付けるようにしても良いのは勿論である。また、上記実施の形態では、磁気損失膜15がグラニュラー磁性薄膜である場合を例に挙げて説明したが、それに限定されず、数十MHz～数GHzの高周波において非常に大きな磁気的損失を示すものであればどのような膜でも良い。

【0046】

【発明の効果】

上述したように、本発明によれば、半導体ベアチップ又は半導体ウエーハの裏面を磁気損失膜で覆っているので、表面上に形成されている集積回路から発生した不要輻射を有效地に削減することが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による半導体ウエーハを示す図で、(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、(c)は(b)のB-B'線で切った断面図である。

【図2】

スパッタ法による試料作製装置の概略断面図である。

【図3】

磁気損失膜としての試料1に係る磁気損失項 μ'' の周波数依存性の一例を示す図である。

【図4】

磁気損失膜としての試料1からなる高周波電流抑制体の抑制効果を見るための測定系を示す斜視図である。

【図5】

磁気損失膜としての試料1の伝送特性(S_{21})の周波数特性を示す図である。

【図6】

磁気損失膜である磁性体の等価回路を示す図である。

【図7】

磁気損失膜としての試料1の伝送特性 (S_{21}) より算出した抵抗値Rの周波数特性を示す図である。

【図8】

従来の半導体ウェーハを示す図で、(a)は平面図、(b)は(a)の丸で囲んだ部分の拡大図、(c)は(b)のA-A'線で切った断面図である。

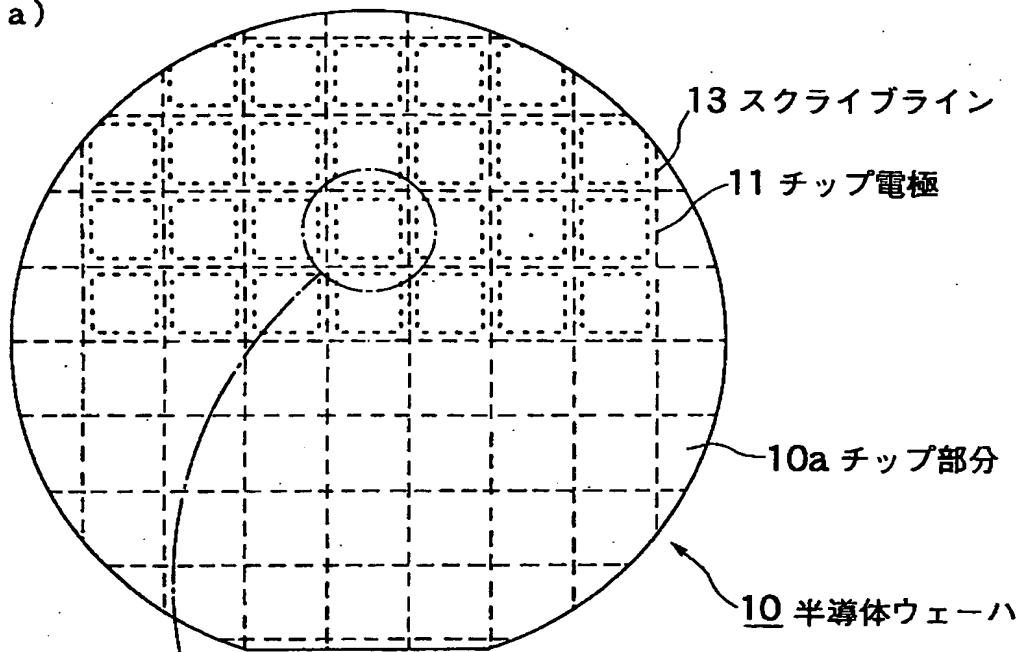
【符号の説明】

- 1 0 半導体ウェーハ
- 1 1 チップ電極
- 1 2 パッシベーション膜
- 1 3 スクライブライン
- 1 5 磁気損失膜 (グラニュラー磁性薄膜)

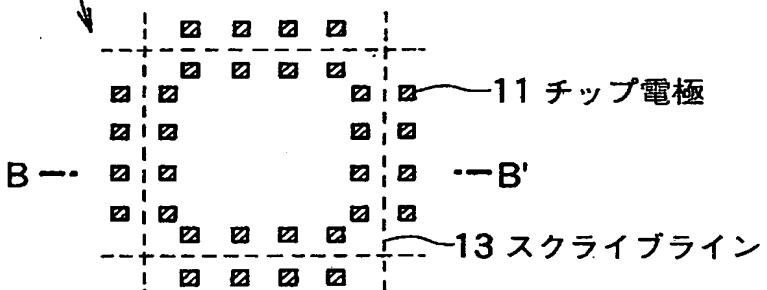
【書類名】 図面

【図1】

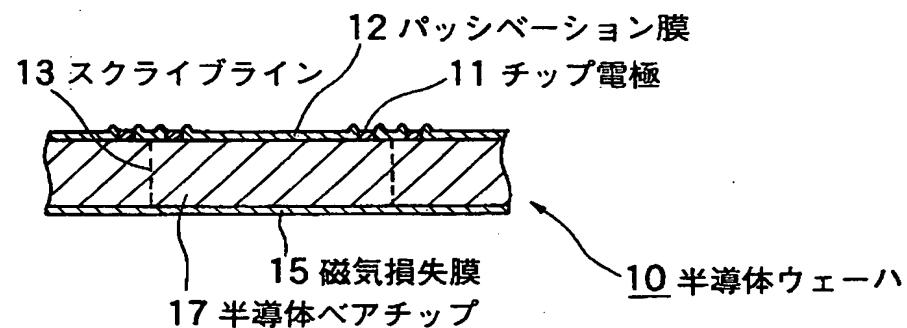
(a)



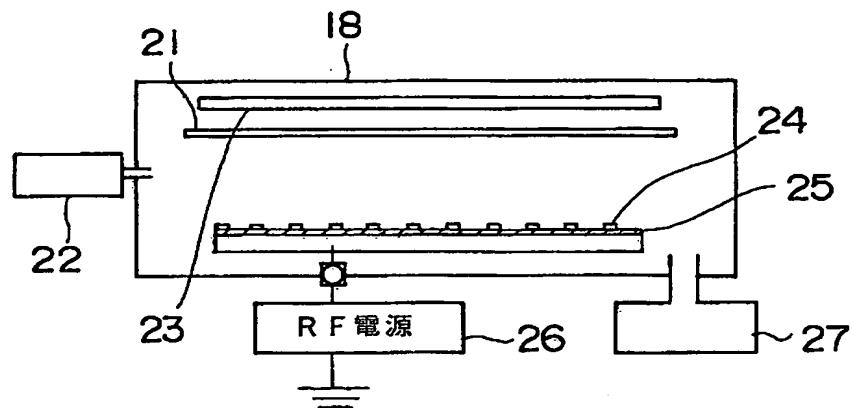
(b)



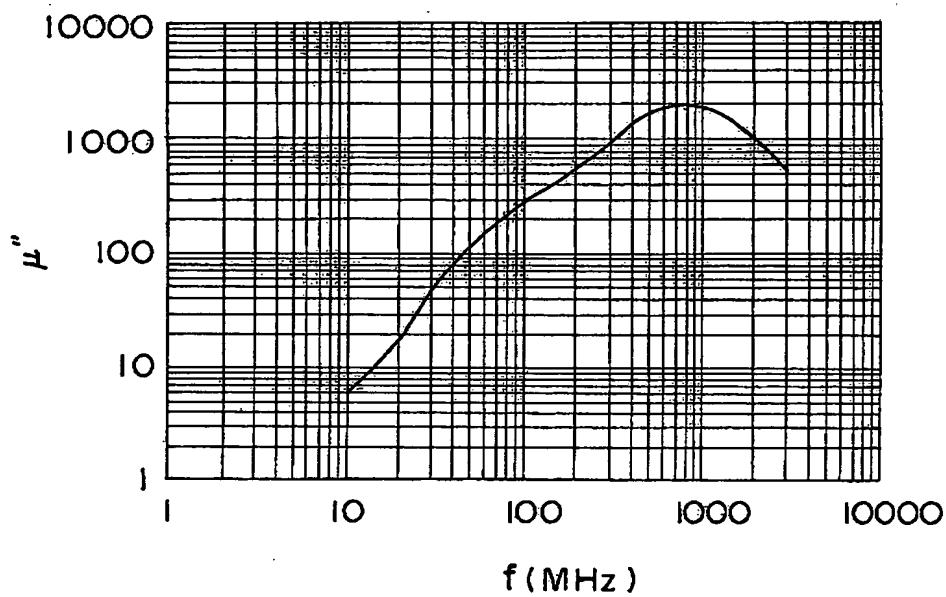
(c)



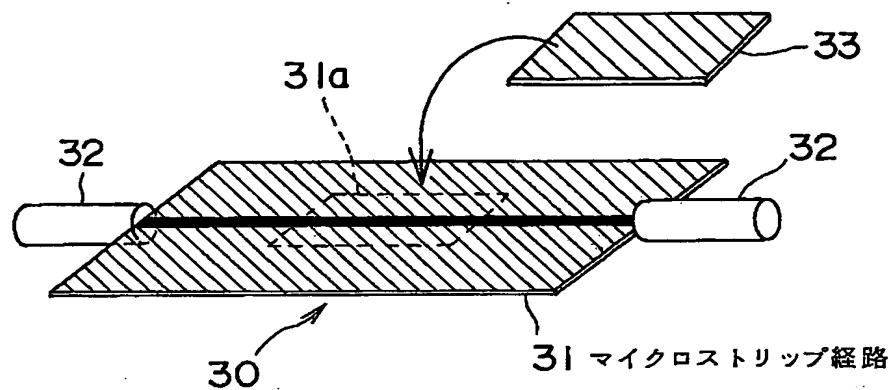
【図2】



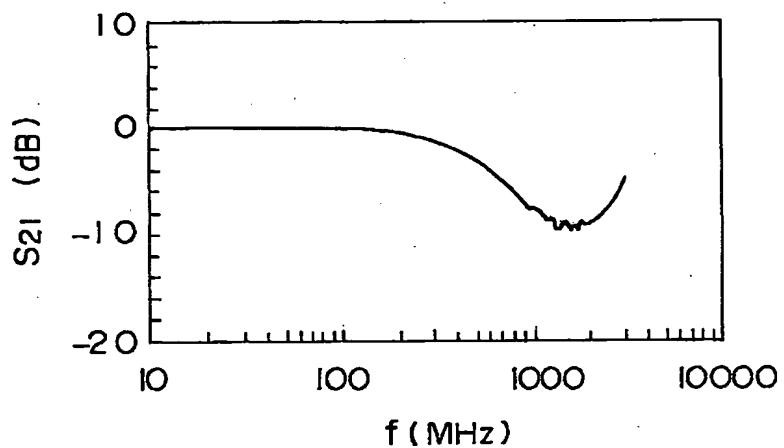
【図3】



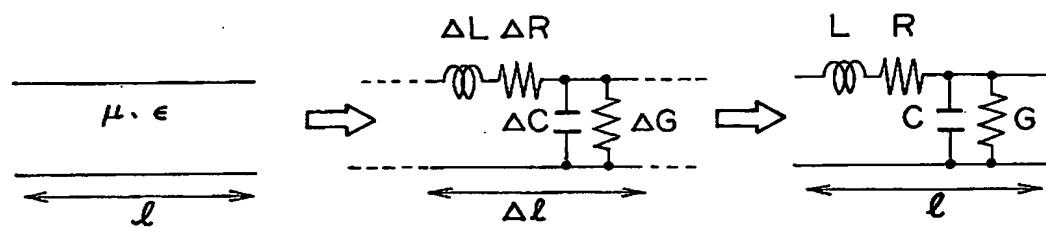
【図4】



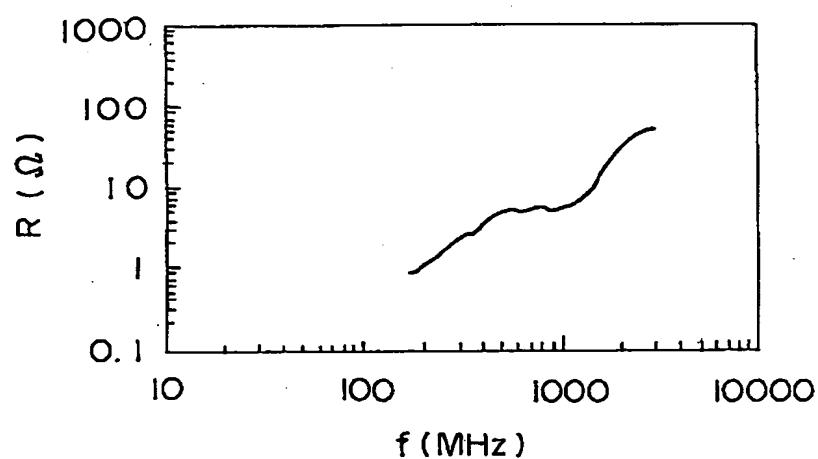
【図5】



【図6】

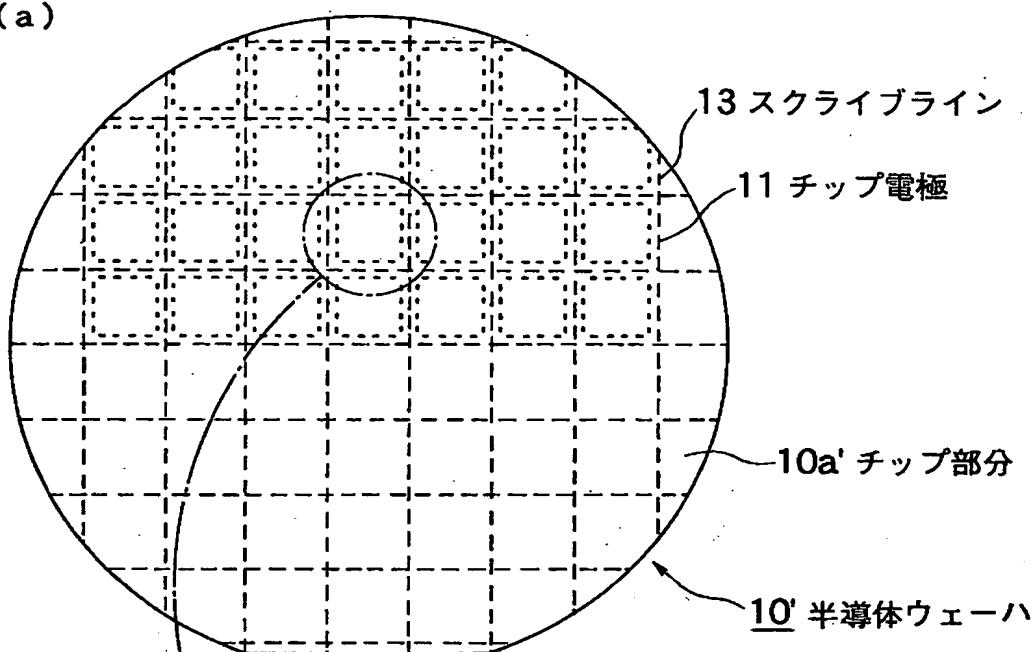


【図7】

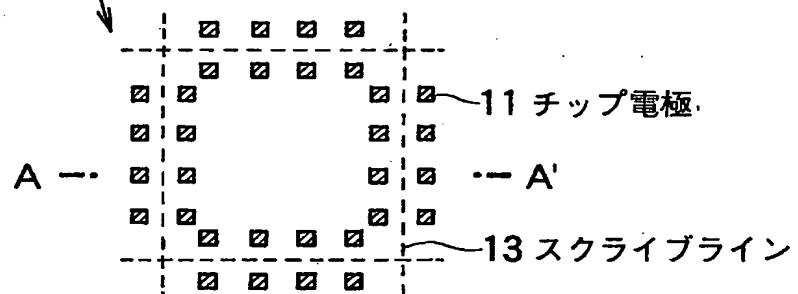


【図8】

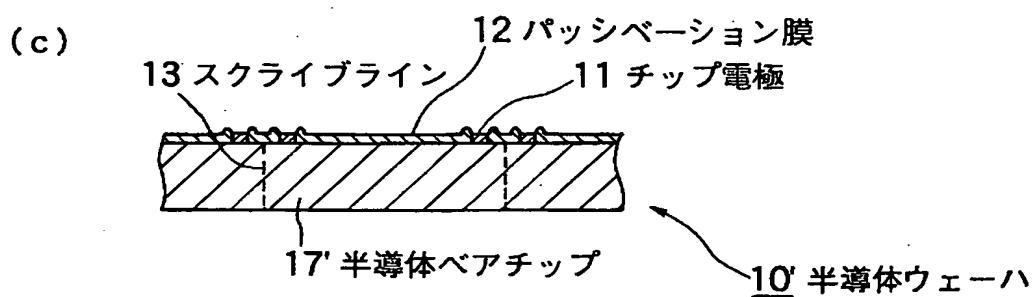
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 高速動作する集積回路が表面上に形成された半導体ベアチップおよび半導体ウエーハに於いて、集積回路から発生した不要輻射を有効に削減すること。

【解決手段】 表面上に集積回路が形成された半導体ベアチップ（17）又は半導体ウエーハ（10）に於いて、半導体ベアチップ（17）又は半導体ウエーハ（10）の裏面を磁気損失膜（15）で覆っている。磁気損失膜（15）としては、グラニュラー磁性薄膜を使用することができる。また、グラニュラー磁性薄膜は、例えば、スパッタ法により形成されたスパッタ膜であっても良いし、蒸着法により形成された蒸着膜であっても良い。

【選択図】 図1

出願人履歴情報

識別番号 [000134257]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 宮城県仙台市太白区郡山6丁目7番1号
氏 名 株式会社トーキン